

**CLIPPEDIMA E= JP02000022283A**

**PAT-NO: JP02000022283A**

**DOCUMENT-IDENTIFIER: JP 2000022283 A**

**TITLE: SEMICONDUCTOR ELEMENT, METHOD FOR MANUFACTURING  
SEMICONDUCTOR ELEMENT,  
AND METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE**

**PUBN-DATE: January 21, 2000**

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>TSUJIMURA, AYUMI</b>	<b>N/A</b>
<b>HASEGAWA, YOSHITERU</b>	
<b>ISHIBASHI, AKIHIKO</b>	<b>N/A</b>
<b>KIDOGUCHI, ISAO</b>	
<b>BAN, YUZABURO</b>	<b>N/A</b>

**N/A**

**N/A**

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
<b>MATSUSHITA ELECTRIC IND CO LTD</b>	<b>N/A</b>

**APPL-NO: JP10190059**

**APPL-DATE: July 6, 1998**

**INT-CL\_(IPC): H01S005/30; H01L033/00**

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor element that can suppress warpage caused by the thermal stress of a III-V compound semiconductor element containing N, and can prevent a crystal defect and a crack from being generated in an element layer.

**SOLUTION:** A III-V compound semiconductor layer is formed on one main surface of

an Al<sub>2</sub>O<sub>3</sub> substrate, where the III-V compound semiconductor layer includes a GaN buffer layer 12, an n-type GaN contact layer 13, an n-type AlGaN clad layer 14, a GaN optical guide layer 15, a GaInN quantum well activation layer 16, a p-type AlGaN clad layer 17, an n-type GaN current block layer 18, a p-type GaN contact layer 19, or the like. On the other hand, a ZnO layer 112 is formed on the other main surface of the substrate 11. The III-V compound semiconductor layer and the ZnO layer 112 have a thermal coefficient of expansion that is smaller than that of the substrate, thus preventing warpage from being generated on cooling after forming the semiconductor layer.

**COPYRIGHT: (C)2000,JPO**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-22283

(P2000-22283A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)IntCl <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 S 5/30		H 0 1 S 3/18	5 F 0 4 1
H 0 1 L 33/00		H 0 1 L 33/00	C 5 F 0 7 3

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21)出願番号 特願平10-190059

(22)出願日 平成10年7月6日(1998.7.6)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 辻村 歩

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 長谷川 義晃

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100078204

弁理士 滝本 智之 (外1名)

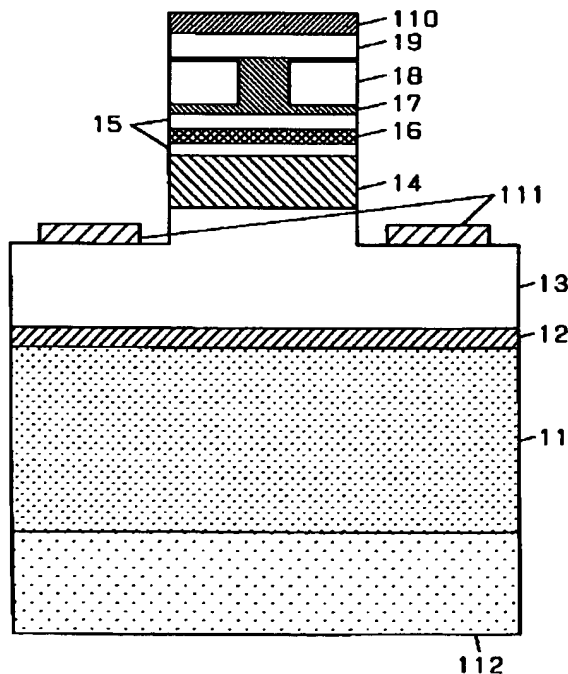
最終頁に続く

(54)【発明の名称】 半導体素子、半導体素子の製造方法及び半導体基板の製造方法

(57)【要約】

【課題】 Nを含むIII-V族半導体素子の熱応力に起因する反りを抑制し、素子層における結晶欠陥やクラックの発生を防止できる半導体素子を提供することを目的とする。

【解決手段】  $Al_2O_3$ 基板11の一方の主面上に、Ga<sub>0.5</sub>Nバッファ層12、n型Ga<sub>0.5</sub>Nコンタクト層13、n型Al<sub>0.5</sub>GaNクラッド層14、Ga<sub>0.5</sub>N光ガイド層15、Ga<sub>0.5</sub>In<sub>0.5</sub>N量子井戸活性層16、p型Al<sub>0.5</sub>GaNクラッド層17、n型Ga<sub>0.5</sub>N電流ブロック層18、p型Ga<sub>0.5</sub>Nコンタクト層19等のIII-V族化合物半導体層を形成する一方で、基板11の他方の主面上にZnO層112を形成する。上記のIII-V族化合物半導体層及びZnO層112はともに基板よりも熱膨張係数が小さいため、半導体層形成後の冷却時に反りが発生するのを防止できる。



## 【特許請求の範囲】

【請求項1】基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層と、前記基板の他方の主面上に形成された1層以上の裏面層とを有する半導体素子であって、前記III-V族化合物半導体層及び前記裏面層の熱膨張係数が、前記基板の熱膨張係数より小さいことを特徴とする半導体素子。

【請求項2】基板が $Al_2O_3$ であり、裏面層が少なくともGa<sub>n</sub>N層、ZnO層、 $Si_3N_4$ 層または $SiO_2$ 層を含むことを特徴とする請求項1に記載の半導体素子。

【請求項3】基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層と、前記基板の他方の主面上に形成された1層以上の裏面層とを有する半導体素子であって、前記III-V族化合物半導体層及び前記裏面層の熱膨張係数が、前記基板の熱膨張係数より大きいことを特徴とする半導体素子。

【請求項4】基板がSiCであり、裏面層が金属層を含むことを特徴とする請求項3に記載の半導体素子。

【請求項5】金属層が少なくともNi、Au、Al、InまたはGaを含むことを特徴とする請求項4に記載の半導体素子。

【請求項6】基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層を有する半導体素子であって、前記基板の他方の主面側において、前記基板の厚さが他の部分に比べて薄い部分を有することを特徴とする半導体素子。

【請求項7】基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層を有する半導体素子であって、前記基板の他方の主面側に加工損傷層を有することを特徴とする半導体素子。

【請求項8】基板の一方の主面上に熱膨張係数が前記基板の熱膨張係数よりも小さい材料からなる裏面層を少なくとも1層以上形成する工程と、前記基板の他方の主面上に1層以上の少なくともNを含み、かつ前記基板より熱膨張係数が小さいIII-V族化合物半導体層を形成する工程と、基板裏面層及び前記基板を除去して前記III-V族化合物半導体層からなる半導体基板を得る工程とを有する半導体基板の製造方法。

【請求項9】基板が $Al_2O_3$ であり、裏面層が少なくともZnO層、 $Si_3N_4$ 層または $SiO_2$ 層を含むことを特徴とする請求項8に記載の半導体基板の製造方法。

【請求項10】基板の一方の主面上に熱膨張係数が前記基板の熱膨張係数よりも大きい材料からなる裏面層を少なくとも1層以上形成する工程と、前記基板の他方の主面上に1層以上の少なくともNを含み、かつ前記基板より熱膨張係数が大きいIII-V族化合物半導体層を形成する工程と、基板裏面層及び前記基板を除去して前記II

I-V族化合物半導体層からなる半導体基板を得る工程とを有する半導体基板の製造方法。

【請求項11】基板がSiCであり、裏面層が金属層を含むことを特徴とする請求項10に記載の半導体基板の製造方法。

【請求項12】金属が少なくともNi、Au、Al、InまたはGaを含むことを特徴とする請求項11に記載の半導体基板の製造方法。

【請求項13】基板の一方の主面上に熱膨張係数が前記基板の熱膨張係数よりも小さい材料からなる裏面層を少なくとも1層以上形成する工程と、前記基板の他方の主面上に1層以上の少なくともNを含み、かつ前記基板より熱膨張係数が小さいIII-V族化合物半導体層を形成する工程と、前記裏面層及び前記基板を除去して前記II-V族化合物半導体層からなる半導体基板を得る工程と、前記半導体基板上に1層以上の少なくともNを含むIII-V族化合物半導体からなる素子層を形成する工程とを有することを特徴とする半導体素子の製造方法。

【請求項14】基板の一方の主面上に熱膨張係数が前記基板の熱膨張係数よりも大きい材料からなる裏面層を少なくとも1層以上形成する工程と、前記基板の他方の主面上に1層以上の少なくともNを含み、かつ前記基板より熱膨張係数が大きいIII-V族化合物半導体層を形成する工程と、前記裏面層及び前記基板を除去して前記II-V族化合物半導体層からなる半導体基板を得る工程と、前記半導体基板上に1層以上の少なくともNを含むIII-V族化合物半導体からなる素子層を形成する工程とを有することを特徴とする半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体素子、半導体基板および素子の製造方法に関するもので、特に紫外領域から青色領域の光を放出する発光素子や電子素子等に用いられるNを含むIII-V族半導体素子、半導体基板および素子の製造方法に関する。

## 【0002】

【従来の技術】光ディスクの記録密度向上あるいはレーザープリンタの解像度向上あるいは光計測機器、医療機器、ディスプレイ装置、照明装置等への応用を図るため、紫外領域から青色領域での発光が可能な半導体発光素子、特に半導体レーザーの研究開発が盛んに行われている。このような短波長領域での発光が可能な材料として、AlGaInN系等のNを含むIII-V族化合物半導体を挙げることができる。例えばApplied Physics Letters第72巻（1998）211～213頁には、 $Al_2O_3$ 基板を用い、 $SiO_2$ マスク上にラテラル成長させたGa<sub>n</sub>N層の上に変調ドーパAlGa<sub>n</sub>N/Ga<sub>n</sub>N歪超格子クラッド層およびInGa<sub>n</sub>N多重量子井戸活性層を有する半導体レーザー素子を作製したことが記載されている。この素子は波長39

7nm付近において室温連続発振し、出力2mWで1150時間以上の動作寿命があると記されている。

【0003】高品質かつ高信頼性が要求される半導体素子の基板としては、格子定数および熱膨張係数が素子層とほぼ一致することが好ましいため、素子層と同じ材料を用いるのが理想的であるが、実際には、基板として必要な大面積のAlGaInN系半導体単結晶を得ることは、Nの平衡蒸気圧が非常に高く極めて困難である。そこで、結晶成長時の安定性の観点から、一般にAl<sub>2</sub>O<sub>3</sub>やSiC等が基板として用いられている。

【0004】また素子層の形成には、一般に有機金属気相エピタキシー法（以下、MOVPE法と略す）や分子線エピタキシー法（以下、MBE法と略す）が用いられ、半導体結晶がエピタキシャル成長されている。

【0005】

【発明が解決しようとする課題】しかしながら、上記のような素子層とは異なる材料系の基板を用いた場合、800～1100℃程度の高温でのエピタキシャル成長終了後、室温まで冷却する過程において、基板とAlGaInN系半導体との熱膨張係数差に比例する熱応力が発生する。これに起因して、基板と半導体素子層は反り、結晶欠陥やクラックの発生を引き起こしてしまう。

【0006】従って、AlGaInN系半導体レーザーの素子特性や信頼性を実用レベルまで向上させるには、素子層における結晶欠陥やクラックの発生を防ぐことが不可欠である。そこで本発明は、基板の反りを抑制して結晶欠陥やクラックの発生を防いだ半導体素子（半導体発光素子）を提供することを主たる目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために本発明の半導体素子は、基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層と、前記基板の他方の主面上に形成された1層以上の裏面層とを有する半導体素子であって、前記III-V族化合物半導体層及び前記裏面層の熱膨張係数が、前記基板の熱膨張係数より小さいことを特徴とする構成、または、基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層と、前記基板の他方の主面上に形成された1層以上の裏面層とを有する半導体素子であって、前記III-V族化合物半導体層及び前記裏面層の熱膨張係数が、前記基板の熱膨張係数より大きいことを特徴とする構成となっている。

【0008】この構成によれば、半導体素子層を形成した後の冷却時に発生する反りの発生を防止することができる。

【0009】また、基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層を有する半導体素子であって、前記基板の他方の主面側において、前記基板の厚さが他の部分に比

べて薄い部分を有するか、または、基板と、前記基板の一方の主面上に形成された1層以上の少なくともNを含むIII-V族化合物半導体層を有する半導体素子であって、前記基板の他方の主面側に加工損傷層を有する構成によっても上記と同様に反りの発生を防止することができる。

【0010】また本発明の半導体基板の製造方法は、基板の一方の主面上に熱膨張係数が前記基板の熱膨張係数より小さい材料からなる裏面層を少なくとも1層以上形成する工程と、前記基板の他方の主面上に1層以上の少なくともNを含み、かつ前記基板より熱膨張係数が小さいIII-V族化合物半導体層を形成する工程と、基板裏面層及び前記基板を除去して前記III-V族化合物半導体層からなる半導体基板を得る工程とを有するか、または、基板の一方の主面上に熱膨張係数が前記基板の熱膨張係数よりも大きい材料からなる裏面層を少なくとも1層以上形成する工程と、前記基板の他方の主面上に1層以上の少なくともNを含み、かつ前記基板より熱膨張係数が大きいIII-V族化合物半導体層を形成する工程と、基板裏面層及び前記基板を除去して前記III-V族化合物半導体層からなる半導体基板を得る工程とを有する構成となっている。

【0011】この構成によれば、基板となるIII-V族化合物半導体層に、反りに基づく欠陥が入るのを防止することができる。また、上記のようにして形成した半導体基板に対して、III-V族化合物半導体層を形成すると、品質のよい半導体素子を得ることができる。

【0012】

【発明の実施の形態】以下本発明の実施の形態における半導体素子、半導体素子の製造方法及び半導体基板の製造方法について図面を参照しながら詳細に説明する。なお、以下に示す例では、半導体素子として、半導体発光素子の1つである半導体レーザーを例に挙げて説明を行うが、本発明は半導体発光素子に限らず、Nを含有しIII-V族化合物半導体層を有する様々な半導体素子に適用することができる。

【0013】（実施の形態1）図1に本発明の実施の形態1における半導体レーザー素子の構造を示す断面図を示す。図1において、11はAl<sub>2</sub>O<sub>3</sub>基板（厚さ150μm）、12はGaNバッファ層（膜厚40nm）、13はn型GaNコンタクト層（膜厚3μm、キャリア密度1×10<sup>18</sup>cm<sup>-3</sup>）、14はn型AlGaInクラッド層（膜厚500nm、キャリア密度5×10<sup>17</sup>cm<sup>-3</sup>）、15はGaN光ガイド層（膜厚100nm）、16はGaInN量子井戸活性層、17はp型AlGaInクラッド層（膜厚500nm、キャリア密度3×10<sup>17</sup>cm<sup>-3</sup>）、18はn型GaN電流ブロック層（膜厚400nm、キャリア密度5×10<sup>17</sup>cm<sup>-3</sup>）、19はp型GaNコンタクト層（膜厚400nm、キャリア密度8×10<sup>17</sup>cm<sup>-3</sup>）、110はn型電極、111はp型電極

である。そして基板の裏面にはZnO層112(膜厚2  $\mu\text{m}$ )が形成されている。

【0014】基板の導電型については、n型、p型あるいは絶縁性であってもよい。また、GaNバッファ層12は、格子定数がAlGaInN系半導体結晶と大きく異なるAl<sub>2</sub>O<sub>3</sub>基板上にAlGaInN系半導体結晶を2次元成長させるために設けられるものであり、GaN以外にAlNあるいはAlGaNを用いることもできる。

【0015】n型GaNコンタクト層13の膜厚は、基板が絶縁性でp、n電極間でラテラル方向に電流を流さねばならないため、1  $\mu\text{m}$ 程度以上、好ましくは3  $\mu\text{m}$ 程度必要である。

【0016】AlGaNクラッド層14、17のAl混晶比は、例えば8%である。なお、Al混晶においては、Al混晶比の増加、膜厚および不純物密度の増加に伴ってクラックが発生しやすくなるので、適当なAl混晶比、膜厚および不純物密度を選ぶ必要がある。

【0017】GaInN量子井戸活性層16の構造は、例えば膜厚5 nm、In混晶比3%の障壁層4層と膜厚2.5 nm、In混晶比13%の井戸層3層とが交互に積層されており、一番上の障壁層の上には膜厚5 nm、Al混晶比15%のAlGaN層が備わる。このAlGaN層はGaInN層の分解を防ぐためである。

【0018】上記の図1に示したAlGaInN系半導体素子層の製造にあたっては、MOVPE法あるいはMBE法等の気相成長法を用いることができる。MOVPE法では速い成長速度で高品質な結晶を得ることができ、MBE法では高真空中で原子層レベルでのその場観察により高精度な成長制御を行うことができる。

【0019】MOVPE法では、Ga源としてはトリメチルガリウム(以下、TMGと略す)、トリエチルガリウム(以下、TEGと略す)、Al源としてはトリメチルアルミニウム(以下、TMAと略す)、トリエチルアルミニウム(以下、TEAと略す)、In源としてはトリメチルインジウム(以下、TMIと略す)、トリエチルインジウム(以下、TEIと略す)等のトリアルキル金属化合物が用いられ、N源としてはアンモニア、ジメチルヒドラジン等のヒドラジン誘導体が用いられる。またn型不純物のSi源としてはシラン等、p型不純物のMgとしてはビスシクロペンタジエニルマグネシウム(以下、Cp2Mgと略す)等が用いられる。これらの原料ガスが水素、窒素あるいはアルゴン等をキャリアガスとして供給される。

【0020】一方MBE法では、III族源、不純物源としてはそれぞれ金属Ga、Al、In、SiおよびMgが用いられ、N源としては窒素、アンモニア等のガスが高周波プラズマ等で励起されて用いられる。一般にMBE法ではMOVPE法に比べて成長温度を低くすることができ、非平衡状態での成長を行えるが、AlGaIn

N系半導体結晶の場合は、ホール移動度等の結晶品質の観点から、MBE法においてもできるだけ高温で成長を行うことが好ましい。

【0021】上記のように構成された半導体レーザについて考察する。基板であるAl<sub>2</sub>O<sub>3</sub>の熱膨張係数は $8.0 \times 10^{-6}/\text{K}$ 、III-V族化合物半導体層であるAlGaInN系半導体の熱膨張係数は $4.0 \sim 5.5 \times 10^{-6}/\text{K}$ であるため(III-V族化合物半導体層の熱膨張係数が基板の熱膨張係数よりも小さい)、通常、高温でのIII-V族化合物半導体層のエピタキシャル成長終了後、室温まで冷却する過程において、III-V族化合物半導体層には圧縮応力が働き、III-V族化合物半導体層表面側が上に凸になるように反ってしまう。しかしながら、図1に示す構成では、III-V族化合物半導体層が形成されていない側の基板裏面に、基板のAl<sub>2</sub>O<sub>3</sub>より熱膨張係数の小さい物質、例えばZnO(熱膨張係数 $2.9 \times 10^{-6}/\text{K}$ )で裏面層112を形成し、膜厚、構造、成膜温度を制御することにより、熱応力を低減し、半導体素子の反りを抑制することができる。その結果、半導体素子層における結晶欠陥やクラックの発生を防ぐことができ、素子特性や信頼性が向上する。なお、Al<sub>2</sub>O<sub>3</sub>基板の裏面層に用いることのできる最適の物質は、ZnO以外にSi<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、GaN等が挙げられる。

【0022】次に以下では、図1に示した半導体レーザ素子を製造方法について説明する。基板11には、(0001)面を主面とし、両面を鏡面研磨した単結晶Al<sub>2</sub>O<sub>3</sub>を用い、まず基板裏面にZnO層112を形成する。ZnO膜の製造方法には、大別して化学輸送法、MOVPE法あるいはMBE法等によるエピタキシャル成長と、スパッタリング法による多結晶膜成長とがある。例えばMOVPE法では、ジエチル亜鉛とNO<sub>2</sub>を原料としてエキシマレーザ(波長248 nm)を照射して500℃でエピタキシャル膜が得られる。ここでは、レーザアブレーション法を用いる。

【0023】次に脱脂、洗浄したAl<sub>2</sub>O<sub>3</sub>基板11を高真空成長室に入れ、酸素分圧 $3 \times 10^{-6} \text{ Torr}$ の雰囲気中750℃で10分間加熱し、基板裏面のクリーニングを行う。続いて基板温度を600℃にしてZnO焼結ターゲットにエキシマレーザを照射し、原料を蒸発させて基板へ2  $\mu\text{m}$ 堆積させる。その後、成長室の雰囲気を酸素1気圧とし、500℃でアニールしてZnO層112を形成する。

【0024】次にMOVPE法を用いてAl<sub>2</sub>O<sub>3</sub>基板11の表面側に半導体レーザ素子層を成長させる工程に移る。

【0025】反応室内のサセプタ上に載置し、300 Torrの水素雰囲気中1120℃で10分間加熱し、基板表面のクリーニングを行う。続いて基板温度を500℃まで下げ、キャリアガスに水素、原料ガスにTMGと

アンモニアとを用い、V族/III族供給モル比（以下、V/III比と略す）を5000として、基板11上にGa<sub>0.5</sub>Nバッファ層12を40nm堆積させる。次に、TMGのみ供給を止めて1000℃まで昇温する。1000℃に到達後、再びTMGを供給し、V/III比を2500として、段階的に昇温しながら最終的に1060℃でシランを加えてn型Ga<sub>0.5</sub>Nコンタクト層13を成長させ、膜厚を3μmとする。続いてTMAを加えてn型Al<sub>0.5</sub>GaNクラッド層14を500nm成長させる。TMGに対するTMAの気相比は10%である。さらに、TMAおよびシランの供給を止めてGa<sub>0.5</sub>N光ガイド層15を100nm成長させる。

【0026】Ga<sub>0.5</sub>N光ガイド層15の成長後、TMGの供給も止めて810℃まで降温する。810℃に到達後、キャリアガスをArに切り替えて、井戸層においてはTEGとTMIをTMIの気相比が85%、V/III比が10000となるよう、また障壁層においてはTMIの気相比が15%、V/III比が6000となるよう供給して、Ga<sub>0.5</sub>In<sub>0.5</sub>N量子井戸活性層16を形成する。

【0027】次に、基板温度を1030℃まで昇温し、キャリアガスを再び水素に切り替えて、TMGとアンモニアを用いてGa<sub>0.5</sub>N光ガイド層15を100nm成長させる。引き続き、TMAとCp<sub>2</sub>Mgを加えてp型Al<sub>0.5</sub>GaNクラッド層17を500nm成長させた後、原料ガスの供給を止めて室温まで冷却する。

【0028】以上のようにしてIII-V族化合物半導体層を形成することができる。なお、上述の半導体レーザ素子層を製造する他の方法としてはMBE法が挙げられる。また、MOVPE法とMBE法を組み合わせ、基板側のn型層をMOVPE法で成長し、活性層およびp型層をMBE法で成長してもよい。MBE法では水素パッシベーションが起こらないので、熱処理せずにp型伝導が得られる。

【0029】以上の結晶成長工程で得られたウェハの反りを測定したところ、曲率半径は31.1mであり、基板裏面にZnO層112を設けない従来素子構造の場合の8.6mと比較すると、反りがほとんど無くなっていることがわかる。これは、成長温度から室温までの冷却過程でレーザ素子層に作用する圧縮応力が、基板裏面のZnO層に作用する圧縮応力に打ち消されるためと考えられる。

【0030】このウェハを単一モードレーザ素子に加工する。すなわち、フォトリソグラフィ、ドライエッチング、埋め込み再成長、電極蒸着等のプロセスを用いる。まず、幅3μmのストライプ状SiO<sub>2</sub>を形成する。これをマスクとして、p型Al<sub>0.5</sub>GaNクラッド層17をリッジ状に深さ400nmドライエッチングする。次にMOVPE法によりn型Ga<sub>0.5</sub>N電流ブロック層18を400nm選択成長させる。その後、SiO<sub>2</sub>マスクを除去し、再びMOVPE法によりp型Ga<sub>0.5</sub>Nコンタ

ト層19を400nm成長させる。さらに、n型電極111を形成するため、p型Ga<sub>0.5</sub>Nコンタクト層19からn型Al<sub>0.5</sub>GaNクラッド層14までをドライエッチングし、n型Ga<sub>0.5</sub>Nコンタクト層13を露出させる。

【0031】Mgアクセプタ活性化のための熱処理は、成長終了後に反応室内で行ってもよいし、いったん取り出して熱処理炉で行ってもよいし、あるいは電極蒸着のシンタリングと同時に行ってもよい。熱処理条件は、例えば窒素雰囲気中で600℃、20分間である。

【0032】最後に、電極蒸着およびシンタリングを行う。p型電極110には、例えばMg膜とAu膜が順次積層されたMg/Au電極が用いられる。またn型電極111にはTi/Mo/Pt/Au電極が形成される。

【0033】このウェハを劈開して共振器長を例えば0.7μmとし、両端面とも適当なコーティングを施した後、レーザ素子に分離して、ヒートシンクにジャンクションダウンで実装する。室温での動作特性を評価したところ、発振波長は404nm、しきい値電流は94mA、外部微分量子効率70%、レーザ発振開始時の印加電圧は5.9Vであった。

【0034】（実施の形態2）図2に本発明の実施の形態2における半導体レーザ素子の構造を示す断面図を示す。図2において、21はn型6H-SiC基板（厚さ150μm、キャリア密度 $2 \times 10^{18} \text{ cm}^{-3}$ ）、22はAl<sub>0.5</sub>Nバッファ層（膜厚10nm）、23はAl<sub>0.5</sub>Ga<sub>0.5</sub>In<sub>0.5</sub>Nバッファ層（膜厚20nm）、24はn型Al<sub>0.5</sub>GaNクラッド層（膜厚500nm、キャリア密度 $5 \times 10^{17} \text{ cm}^{-3}$ ）、25はGa<sub>0.5</sub>N光ガイド層（膜厚100nm）、26はGa<sub>0.5</sub>In<sub>0.5</sub>N量子井戸活性層、27はp型Al<sub>0.5</sub>GaNクラッド層（膜厚500nm、キャリア密度 $3 \times 10^{17} \text{ cm}^{-3}$ ）、28はn型Ga<sub>0.5</sub>N電流ブロック層（膜厚400nm、キャリア密度 $5 \times 10^{17} \text{ cm}^{-3}$ ）、29はp型Ga<sub>0.5</sub>Nコンタクト層（膜厚400nm、キャリア密度 $8 \times 10^{17} \text{ cm}^{-3}$ ）、210はp型電極である。そして基板の裏面には金属層であるNi/Au層211（膜厚400nm）が形成されている。

【0035】なお、基板の導電型については、n型、p型あるいは絶縁性であってもよく、また、基板面方位については低指数面だけでなく、ある方向へ傾斜させた基板を用いてもよい。例えば、4H-SiCの（0001）面から[11-20]方向へ3度傾斜させた基板を用いることもできる。

【0036】上記のように構成された半導体レーザについて考察する。基板であるSiCの熱膨張係数は $4.2 \times 10^{-6} / \text{K}$ 、Ga<sub>0.5</sub>N系半導体の熱膨張係数は $5.5 \times 10^{-6} / \text{K}$ であるため（III-V族化合物半導体層の熱膨張係数が基板の熱膨張係数よりも大きい）、通常、高温でのエピタキシャル成長終了後室温まで冷却する過程で、III-V族化合物半導体層には引張り応力が働き、II-V族化合物半導体層表面側が下に凸になるように反

る。しかしながら、図2に示す構成では、III-V族化合物半導体層が形成されていない側の基板裏面に、基板のSiCより熱膨張係数の大きい金属等の物質で裏面層211を形成し、膜厚、構造、成膜温度を制御することにより、熱応力を低減し、半導体素子の反りを抑制することができる。その結果、半導体素子層における結晶欠陥やクラックの発生を防ぐことができ、素子特性や信頼性が向上する。なお、SiC基板の裏面層に用いることのできる最適の物質は、NiやAu以外にAl、In、Ga等が挙げられる。

【0037】以下、上記の実施の形態1と異なる点について、図2に示した半導体レーザ素子を製造する工程に即して説明する。

【0038】基板21には、(0001)Si面を主面とし、両面を鏡面研磨した単結晶n型6H-SiCを用い、まず基板裏面にNi/Au層211を通常の真空蒸着法により形成する。脱脂、洗浄した基板21を真空蒸着槽に入れ、基板温度は350℃として真空度 $5 \times 10^{-7}$ Torr以下でNiを10nm、Auを390nm順次蒸着する。Niは基板とAuの密着性を高めるために用いる。なお、熱膨張係数はNiが $38 \times 10^{-6}/K$ 、Auが $43 \times 10^{-6}/K$ である。

【0039】次にMOVPE法を用いてSiC基板21の表面側に半導体レーザ素子層を成長させる。反応室内のサセプタ上に載置し、300Torrの水素雰囲気中1120℃で10分間加熱し、基板表面のクリーニングを行う。このときに、裏面のNi/Au層211は融点を超えて流動性が高まり、基板21との間の熱応力に起因する歪は解放される。続いて基板温度を1000℃まで下げ、キャリアガスに水素、原料ガスにTMAとアンモニアとを用い、基板21上にAlNバッファ層22を10nm堆積させ、TMAの供給を止める。さらに基板温度を910℃まで下げ、TMA、TMG、TMIを供給して、AlGaInNバッファ層23を20nm成長させる。この層は、レーザ構造各層間に存在する歪に起因するクラックの発生を抑制する効果がある。n型AlGaInNクラッド層24以降の成長工程は実施の形態1で説明した通りである。

【0040】結晶成長工程で得られたウェハの反りを測定したところ、曲率半径は24.8mであり、基板裏面にNi/Au層211を設けない従来素子構造の場合の13.5mと比較すると、反りが抑制されていることがわかる。また、従来構造では素子層にクラックの発生が観察されるが、本実施の形態の構造では観察されなかった。これは、成長温度から室温までの冷却過程でレーザ素子層に作用する引張り応力が、基板裏面のNi/Au層に作用する引張り応力に打ち消されるためと考えられる。

【0041】なお、基板裏面のNi/Au層211はレーザ素子層成長時に十分合金化され、n型SiCに対す

るオーミック電極となるので、図2の素子構造においてはn型電極をも兼ねる。

【0042】(実施の形態3)図3に本発明の実施の形態3における半導体レーザ素子の構造を示す断面図を示す。図3において、31はn型6H-SiC基板(厚さ150μm、キャリア密度 $2 \times 10^{18} \text{ cm}^{-3}$ )、32はAlNバッファ層(膜厚10nm)、33はn型GaN層(膜厚16μm、キャリア密度 $7 \times 10^{17} \text{ cm}^{-3}$ )、34はSiO<sub>2</sub>マスク層、35はn型AlGaInNクラッド層(膜厚500nm、キャリア密度 $5 \times 10^{17} \text{ cm}^{-3}$ )、36はGaN光ガイド層(膜厚100nm)、37はGaInN量子井戸活性層、38はp型AlGaInNクラッド層(膜厚500nm、キャリア密度 $3 \times 10^{17} \text{ cm}^{-3}$ )、39はn型GaN電流ブロック層(膜厚400nm、キャリア密度 $5 \times 10^{17} \text{ cm}^{-3}$ )、310はp型GaNコンタクト層(膜厚400nm、キャリア密度 $8 \times 10^{17} \text{ cm}^{-3}$ )、311はp型電極である。そして基板の裏面にはNi/Au層312(膜厚500nm)が形成されている。

【0043】本実施の形態は、基本的には、上記の実施の形態2と類似しており、基板上的III-V族化合物半導体層中にストライプ状にSiO<sub>2</sub>が埋め込まれている点が異なっている。なお、本実施の形態では、上記のような構成で説明を行うが、SiO<sub>2</sub>以外にSi<sub>3</sub>N<sub>4</sub>を用いてもよく、また、必ずしもストライプ状に形成されている必要性はなく、不連続に埋め込まれていればよい。

【0044】以下、実施の形態2と異なる点について、図3に示した半導体レーザ素子を製造する工程に即して説明する。すなわち、実施の形態2と同様、基板裏面にNi/Au層312を通常の真空蒸着法により形成した後、MOVPE法を用いて基板表面側に半導体レーザ素子層を成長させる。

【0045】まずAlNバッファ層32の成長に引き続き、厚さ2μmのn型GaN層33を成長させる。次にプラズマCVD法等によりSiO<sub>2</sub>マスク層34(厚さ100nm)を形成し、フォトリソグラフィ、ドライエッチングプロセスにより、GaNの[1-100]方向に4μmピッチで1.5μm幅のストライプ状開口部を設ける。

【0046】再びMOVPE反応室内のサセプタ上に載置し、n型GaN層33を選択成長させる。この過程でマスク上への多結晶GaN堆積は起こらず、開口部からGaNがラテラル成長し、マスク中央部で合体し、厚さ約4μmの成長で(0001)平坦面が得られる。次に再びプラズマCVD法等により2層目のストライプ状SiO<sub>2</sub>マスク層34(厚さ100nm)をさきほどと同じ方向に形成する。このとき、マスクの開口部が1層目のマスクの上方に来るように2層目のマスクを形成する。

【0047】そしてMOVPE反応室内のサセプタ上に

10

20

30

40

50



載置し、n型Ga<sub>0.53</sub>N層33をラテラル成長させ、厚さ約10 $\mu$ mの成長でレーザ素子層を形成するための(0001)平坦面が得られる。2回のラテラル成長により、SiC基板31との界面から発生して上方に延びる貫通転位(界面付近の密度は $1 \times 10^8 \text{ cm}^{-2}$ )はSiO<sub>2</sub>マスク層で消失し、またラテラル方向にはほとんど屈曲しないので、n型Ga<sub>0.53</sub>N層33の最上部で貫通転位の密度は $5 \times 10^5 \text{ cm}^{-2}$ に減少する。n型AlGaInNクラッド層35以降の成長工程は実施の形態1で説明した通りである。

【0048】基板裏面にNi/Au層312を設けない従来素子構造ではn型Ga<sub>0.53</sub>N層33のラテラル成長でクラックが発生し、その上にレーザ素子層を形成することができなかったが、本実施の形態の構造ではクラックは発生せず、転位密度 $10^5 \text{ cm}^{-2}$ 台程度の高品質なレーザ素子層を形成することができる。

【0049】(実施の形態4)図4に本発明の実施の形態4における半導体レーザ素子に用いる基板の構造を示す断面図を示す。本実施の形態も、上記の実施の形態1や2と同様に、基板の一方の主面上にNを含有するIII-V族化合物半導体層を有する構造となっているが、この部分については同様であるため、説明を省略し、III-V族化合物半導体層を結晶成長させた後の冷却工程において生じる反りの防止を行うための、基板側の特徴点について説明することとする。

【0050】図4(a)は例えば(0001)Si面を主面とするn型6H-SiC基板(厚さ150 $\mu$ m、キャリア密度 $2 \times 10^{18} \text{ cm}^{-3}$ )であって、裏面側には、例えば[1-100]方向に延びる深さ110 $\mu$ m、幅150 $\mu$ mの溝が150 $\mu$ m間隔で設けられている。このような、基板の厚さが他の部分に比べて薄い部分を有する形状を有する基板の製造には、フォトリソグラフィ、ドライエッチングおよび、またはウェットエッチングが用いられる。

【0051】基板41の表面に、実施の形態2で説明したようなAlGaInN系半導体レーザ素子を形成したときのウェハの反りは、厚さの均一な基板上に素子を形成したときと比較して大きな差はなかった。しかし、断面を透過電子顕微鏡で観察すると、溝のない厚い基板部分に形成した素子層では、貫通転位の密度が $10^7 \sim 10^8 \text{ cm}^{-2}$ 程度に達するが、溝のある薄い基板部分に形成した素子層では、 $10^6 \text{ cm}^{-2}$ 以下に抑えられている一方、薄い基板部分に欠陥やクラックの発生する傾向が観察された。つまり、基板に溝を設けて薄くしたことにより、強度の低下した基板側に欠陥等が発生し、その部分の歪が緩和されるので、その上の素子層では高品質な結晶が得られる。

【0052】なお、基板裏面の溝は素子を分離する、あるいは劈開するための溝として利用してもよい。また、本実施の形態ではストライプ状に溝を設けているが、こ

れ以外には例えば、格子状に溝を設けてもよい。

【0053】さらに、図4(b)に示すように基板上にn型Ga<sub>0.53</sub>N層42を成長させ、SiO<sub>2</sub>マスク層43上にGa<sub>0.53</sub>Nをラテラル成長させて平坦なn型Ga<sub>0.53</sub>N層42を形成した後、その上にAlGaInN系半導体レーザ素子を形成してもよい。SiO<sub>2</sub>マスク層43の形状は、例えばGa<sub>0.53</sub>N[1-100]方向に延びるストライプ状で、10 $\mu$ mピッチで5 $\mu$ m幅のストライプ状開口部を設けてある。

10 【0054】(実施の形態5)図5に本発明の実施の形態5における半導体レーザ素子に用いる基板の構造を示す断面図を示す。本実施の形態も、上記の実施の形態1や2と同様に、基板の一方の主面上にNを含有するIII-V族化合物半導体層を有する構造となっているが、この部分については同様であるため、説明を省略し、III-V族化合物半導体層を結晶成長させた後の冷却工程において生じる反りの防止を行うための、基板側の特徴点について説明することとする。

20 【0055】図5において、基板の材質は例えばAl<sub>2</sub>O<sub>3</sub>であり、52はAl<sub>2</sub>O<sub>3</sub>基板51裏面の加工損傷層を示す。基板は、例えば、インゴットから切り出して表面側は鏡面研磨するが、裏面側は切り出したときのままの状態、あるいはラップエッチングを施した状態とする。加工による基板へのダメージが残っているため、この上にAlGaInN系半導体素子を形成すると歪のかかり方が変化し、通常、半導体素子層には圧縮応力が働いて表面側が上に凸になるように反るのに対して、この場合はそれを打ち消す方向に働き、ほぼ平坦とすることができる。

30 【0056】なお、基板と半導体素子層の熱膨張係数差が大きいときに、基板の反りを防止し、あるいは素子層への結晶欠陥・クラック発生を抑制するためには、これまで説明してきた実施の形態以外に、他の手段を用いることもできる。例えば、基板裏面側を多孔質状にすること、基板裏面にハニカム状層を設けること、あるいは基板裏面に微粒子層を設けること等が挙げられる。

40 【0057】(実施の形態6)図6に本発明の実施の形態6における半導体レーザ素子の製造工程断面図を示す。図6において、61はAl<sub>2</sub>O<sub>3</sub>基板、62はSiO<sub>2</sub>層、63はn型Ga<sub>0.53</sub>N層、64はAlGaInN系レーザ素子層、65はp型電極、66はn型電極を示している。

【0058】以下図6を参照しながら、本発明の実施の形態における半導体レーザ素子の製造方法とともに、半導体基板の製造方法についても説明する。

50 【0059】Al<sub>2</sub>O<sub>3</sub>基板61には、(0001)面を主面とし、両面を鏡面研磨した単結晶Al<sub>2</sub>O<sub>3</sub>(厚さ150 $\mu$ m)を用い、まず基板裏面に熱膨張係数が基板の熱膨張係数よりも小さい材料であるSiO<sub>2</sub>層62(厚さ2 $\mu$ m)を裏面層としてプラズマCVD法等により形

成する。

【0060】次にMOVPE法を用いて基板表面側に厚さ $2\mu\text{m}$ のGa<sub>2</sub>N層63を成長させる。そしてSiO<sub>2</sub>マスク層62(厚さ100nm)を形成し、フォトリソグラフィ、ドライエッチングプロセスにより、Ga<sub>2</sub>Nの[1-100]方向に $8\mu\text{m}$ ピッチで $3\mu\text{m}$ 幅のストライプ状開口部を設ける。

【0061】再びMOVPE反応室内のサセプタ上に載置し、n型Ga<sub>2</sub>N層(キャリア密度 $1\times 10^{18}\text{cm}^{-3}$ )63を選択成長させる。この過程でマスク上への多結晶Ga<sub>2</sub>N堆積は起こらず、開口部からGa<sub>2</sub>Nがラテラル成長し、マスク中央部で合体し、厚さ約 $6\mu\text{m}$ の成長で(0001)平坦面が得られるが、厚さ約100 $\mu\text{m}$ 以上になるまでそのまま成長を続ける。これにより、Al<sub>2</sub>O<sub>3</sub>基板61との界面から発生して上方に延びる貫通転位(界面付近の密度は $2\times 10^{10}\text{cm}^{-2}$ )はSiO<sub>2</sub>マスク層で消失し、またラテラル方向にはほとんど屈曲しないので、n型Ga<sub>2</sub>N層63の最上部で貫通転位の密度は $10^4\text{cm}^{-2}$ 台に減少する。

【0062】ここではGa<sub>2</sub>N厚膜をMOVPE法により形成したが、他の方法としてハイドライドVPE法を用いて形成してもよい。この方法はMOVPE法に比べて格段に成長速度が速く、厚膜成長に適している。

【0063】以上の工程により、基板の裏面層が形成された側とは反対側の主面に熱膨張係数が基板よりも小さいIII-V族化合物半導体層が形成されたことになる。

【0064】Ga<sub>2</sub>N厚膜成長を終えて室温まで冷却した時点で、基板の反りはほぼ抑制されている。この状態でAl<sub>2</sub>O<sub>3</sub>基板61の裏面側からSiO<sub>2</sub>層62、Al<sub>2</sub>O<sub>3</sub>基板61およびSiO<sub>2</sub>マスク層62を研磨によって除去することにより、厚さ約100 $\mu\text{m}$ のn型Ga<sub>2</sub>N基板63を得ることができる。

【0065】この基板上に、MOVPE法を用いて実施の形態3で説明したように、AlGaInN系レーザ素子層64を形成し、表面のp型コンタクト層上にp型電極65を、基板裏面にn型電極66をそれぞれ形成することにより、半導体レーザ素子が得られる。

【0066】なお、本実施の形態では、裏面層としてSiO<sub>2</sub>を用いたが、ZnO層や、Si<sub>3</sub>N<sub>4</sub>層を用いてもよい。また、例えば基板にSiCを用い、裏面層を金属層(Ni、Au、Al、InまたはGaを含む)とすることにより、基板の一方の主面に熱膨張係数が基板の熱膨張係数よりも大きい材料からなる裏面層を形成し、基板の他方の主面に基板より熱膨張係数が大きいIII-V族化合物半導体層を形成した後、基板裏面層及び基板を除去し半導体基板を得てもよい。

【0067】以上本発明について、その実施の形態とと

もに説明を行い、上記の実施の形態においては半導体レーザ素子について説明したが、発光ダイオード、フォトダイオード、電界効果トランジスタやその他の半導体素子にも適用することができる。

【0068】

【発明の効果】以上のように本発明によれば、N含むII-V族半導体結晶と基板との熱膨張係数差に比例する熱応力を低減させることができ、半導体結晶の反りを抑制して結晶欠陥やクラックの発生を防げるので、これを用いた半導体素子の特性や信頼性を向上させるという顕著な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体レーザ素子の構造を示す断面図

【図2】本発明の実施の形態2における半導体レーザ素子の構造を示す断面図

【図3】本発明の実施の形態3における半導体レーザ素子の構造を示す断面図

【図4】本発明の実施の形態4における半導体レーザ素子に用いる基板の構造を示す断面図

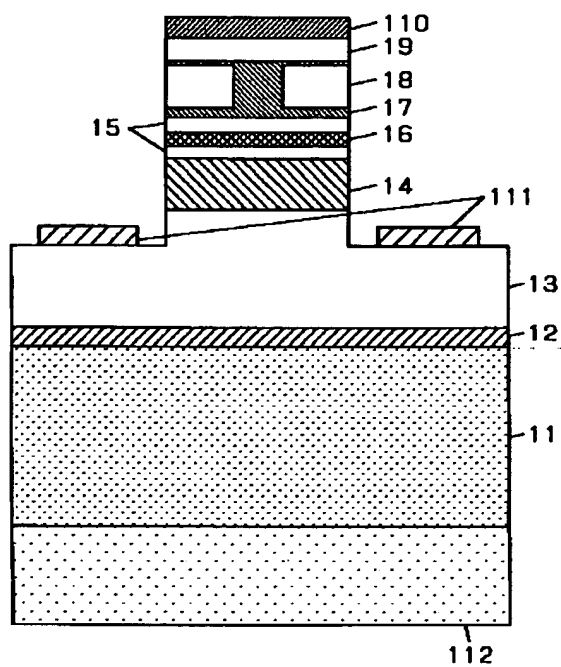
【図5】本発明の実施の形態5における半導体レーザ素子に用いる基板の構造を示す断面図

【図6】本発明の実施の形態6における半導体レーザ素子の製造工程断面図

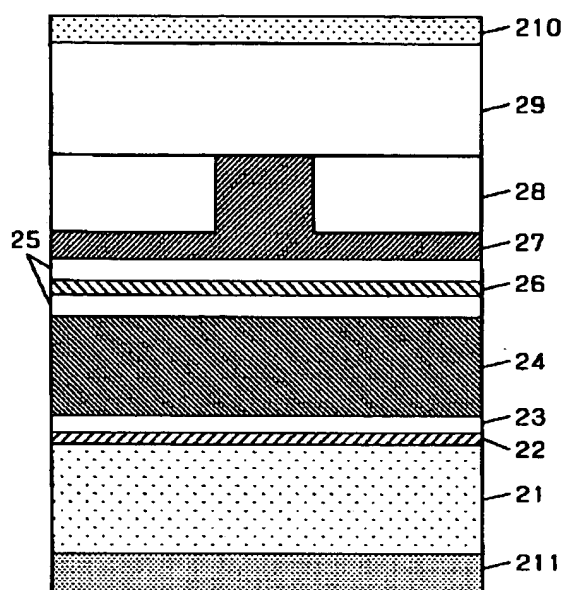
【符号の説明】

- 11, 51, 61 Al<sub>2</sub>O<sub>3</sub>基板
- 12 Ga<sub>2</sub>Nバッファ層
- 13 n型Ga<sub>2</sub>Nコンタクト層
- 14, 24, 35 n型AlGa<sub>2</sub>Nクラッド層
- 15, 25, 36 Ga<sub>2</sub>N光ガイド層
- 16, 26, 37 GaInN量子井戸活性層
- 17, 27, 38 p型AlGa<sub>2</sub>Nクラッド層
- 18, 28, 39 n型Ga<sub>2</sub>N電流ブロック層
- 19, 29, 310 p型Ga<sub>2</sub>Nコンタクト層
- 110, 210, 311, 65 p型電極
- 111, 66 n型電極
- 112 ZnO層
- 21, 31, 41 n型6H-SiC基板
- 22, 32 AlNバッファ層
- 23 AlGaInNバッファ層
- 211, 312 Ni/Au層
- 33, 42, 63 n型Ga<sub>2</sub>N層
- 34, 43 SiO<sub>2</sub>マスク層
- 52 加工損傷層
- 62 SiO<sub>2</sub>層
- 64 AlGaInN系レーザ素子層

【図1】

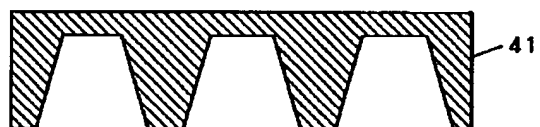


【図2】

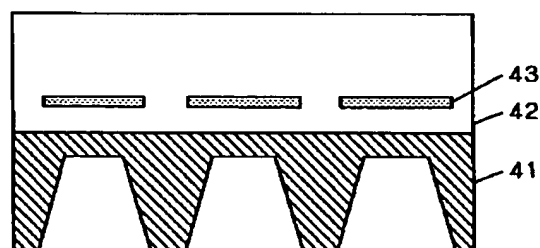


【図4】

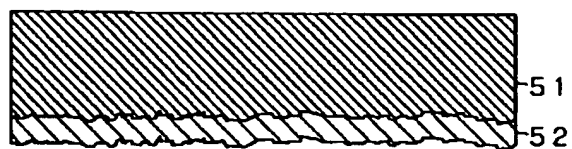
(a)



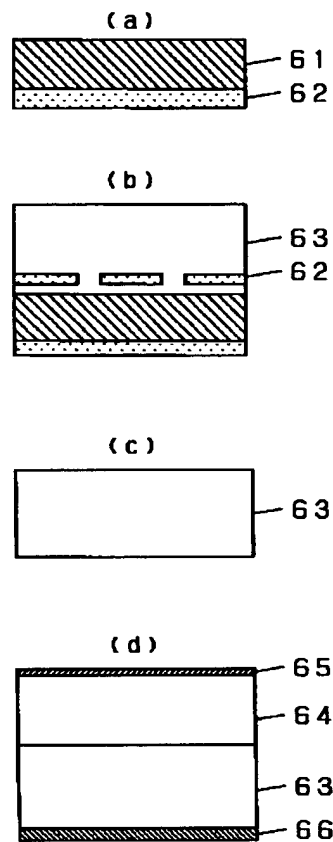
(b)



【図5】



【図6】



フロントページの続き

(72)発明者 石橋 明彦  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72)発明者 木戸口 勲  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

(72)発明者 伴 雄三郎  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 Fターム(参考) 5F041 AA40 CA04 CA05 CA14 CA33  
 CA34 CA40 CA46 CA65  
 5F073 AA45 AA51 AA73 BA06 BA07  
 CA07 CB04 CB05 DA05 EA27  
 EA29